

1.	Наставен предмет	КОМПЈУТЕРСКИ АРХИТЕКТУРИ ЗА ИНФО			
2.	Шифра	ETF081L02			
3.	Студиска програма	ИНФО			
4.	Семестар (изборност)	Летен(задолжителен)			
5.	Цели на предметот	Запознавање со основните постапки и закони за анализа и проектирање на логички кола и мрежи, како и основите на компјутерските архитектури.			
6.	Оспособен за (компетенции)	Употреба на постапките за проектирање логички мрежи и системи. Анализа на компјутерски системи.			
7.	Услов за запишување на предметот	Нема			
8.	Основна литература (до 3 наслови)	1. N, Balabanian, B. S. Carlson, <i>Digital Logic Design Principles</i> , John Wiley & Sons, 2001 2. McCluskey, E.J., <i>Logic Design Principles</i> , Prent.Hall, 1986 3. M. Mano, C. Kime., <i>Logic and Computer Design Fundamentals</i> , 2 nd Edition, Prentice Hall, 2001			
9.	Број на кредити	6			
10.	Вкупен расположив фонд на време	6 ЕЦТС x 30 часа = 180 часа			
11.	Распределба на расположивото време	2+2+1+1			
	11.1.	П -	Предавања-теоретска настава	30 часа	
	11.2.	АВ -	Аудиторни вежби	30 часа	
	11.3.	ЛВ -	Лабораториски вежби	15 часа	
	11.4.	ПЗ	Проверка на знаење	1. Тестови	2 часа
				2. Парцијални испити	5 часа
				3. Испит	3 часа
				4. Домашни работи	15 часа
	11.5.	СЗ	Самостојни задачи	1. Проектни задачи	20 часа
				2. Самостојни работи	60 часа
12.	Оценување				
	12.1.	Посетеност на настава (до 10 бода)		0 бода	
	12.2.	Парцијални испити (min. 60% од предвидени бодови)		180 бода	
	12.3.	Испит (min. 50% од предвидени бодови)		160 бода	
	12.4.	Тестови (max. 20% од предвидени бодови)		50 бода	
	12.5.	Семинарски работи (max.10% од предвидени бодови)		20 бода	
	12.6.	Лабораториски вежби (max. 20% од предвидени бодови)		30 бода	
	12.7.	Проектни задачи (max. 20% од предвидени бодови)		20 бода	
	Забелешка:		Бодови:	Оценки:	
	Испитот се смета за положен ако студентот освои најмалку 60% од вкупниот број бодови предвидени со предметната програма.		од 180 до200	6 (шест)	
			од 201 до 225	7 (седум)	
			од 226 до 250	8 (осум)	
			од 251 до 275	9 (девет)	
			од 276 до 300	10 (десет)	
13.	Услов за потпис и формален испит				

ПЛАНИРАЊЕ АКТИВНОСТИ ЗА НАСТАВНИОТ ПРЕДМЕТ КОМПЈУТЕРСКИ АРХИТЕКТУРИ

недела	Предавања - теоретска настава		Аудиторни и лабораториски вежби	
	часа	тема	часа	тема
I.	2	Бројни системи, кодови, претворање на кодови	2	Задачи од конверзија на броеви во различни бројни системи, бинарна аритметика и комплументи
II.	2	Булова алгебра, функции и мрежи, специјални функции	2	Задачи од прекинувачка алгебра, прекинувачки операции и логички порти
III.	2	Анализа на комбионациони мрежи. Синтеза на комбионациони мрежи, методи за минимизација (Карноови мапи)	2	Задачи од прекинувачки изрази и прекинувачки функции со примена на теоремите
IV.	2	Синтеза на комбионациони мрежи, методи за минимизација (метода на Quin-McCluskey)	2	Задачи со претставување на логички функции (Карноови мапи)
			2	Запознавање со Klogic и работа со претставување на логички функции
V.	2	Мултиплексери, демултиплексери, кодери, декодери	2	Дизајн на комбионациони логички мрежи. Минимизирање и минимална реализација на логички функции
			2	Минимизирање со Карноови мапи
VI.	2	Анализа на секвенцијални мрежи во фундаментален и импулсен режим	2	Табеларна метода Quin-McCluskey
			2	Дизајн на логичка мрежа за собирање и одземање
VII.	2	Синтеза на секвенцијални мрежи, минимизација на табели на состојби	2	Мултиплексери и демултиплексери, кодери и декодери, ROM и PLA
			2	Дизајн на логичка мрежа за приказ на седумсегментен дисплеј
VIII.	2	Парцијален испит	2	Консултации за парцијален испит
			1	Консултации за парцијален испит
IX.	2	Регистри и бројачи	2	Задачи од секвенцијални логички мрежи, Latch-ови и flip-flop-ови
			2	
X.	2	Регистри и бројачи	2	Задачи од секвенцијални логички мрежи, Latch-ови и flip-flop-ови
XI.	2	Меморија и програмабилни логички уреди	2	Задачи за анализа и дизајн на поместувачки (Shift) регистри
XII.	2	Секвенционирање и контрола	2	Задачи од основни концепти на синхрони секвенцијални мрежи
			2	Анализа на SR latch и дизајн на LG флип-флоп
XIII.	2	Архитектура и дизајн на процесор	2	Минимизација на целосно дефинирани табели на состојби
			2	Дизајн на синхрона секвенцијална межа
XIV.	2	Мемориски архитектури, виртуелна меморија	2	Анализа на асинхрони, синхрони и поместувачки бројачи
			2	Анализа на работата на бројачи
XV.	2	Влез/Излез и комуникации	2	Типови меморија и програмабилни логички уреди
Збир	30		45	